

I hereby certify that this correspondence is being deposited with the U.S. Postal Service as Express Mail, Airbill No. EV 323772522 US, in an envelope addressed to: **Mail Stop Patent Application**, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the date shown below.

Dated: July 18, 2003

Signature: 

(Richard Zimmermann)

Docket No.: 29936/39476
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Jum Soo Kim et al.

Application No.: Not Yet Assigned

Group Art Unit: Not Yet Assigned

Filed: July 18, 2003 (herewith)

Examiner: Not Yet Assigned

For: METHOD OF MANUFACTURING A
SEMICONDUCTOR DEVICE

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop Patent Application

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Korean Patent Application No. 10-2002-0071503, filed November 18, 2002, upon which priority of the instant application is claimed under 35 U.S.C. §119.

Dated: July 18, 2003

Respectfully submitted,

By 

Paul B. Stephens

Registration No.: 47,970

MARSHALL, GERSTEIN & BORUN LLP

233 S. Wacker Drive

6300 Sears Tower

Chicago, Illinois 60606-6357

(312) 474-6300

Attorney for Applicants



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0071503
Application Number

출원 년 월 일 : 2002년 11월 18일
Date of Application NOV 18, 2002

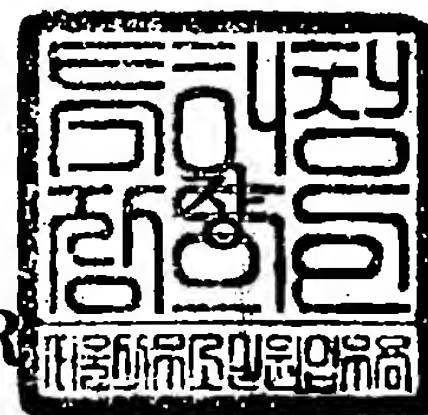
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

| | | | |
|------------|--|---|----------|
| 【서류명】 | 특허출원서 | | |
| 【권리구분】 | 특허 | | |
| 【수신처】 | 특허청장 | | |
| 【제출일자】 | 2002.11.18 | | |
| 【발명의 명칭】 | 반도체 소자의 제조 방법 | | |
| 【발명의 영문명칭】 | Method of manufacturing a semiconductor device | | |
| 【출원인】 | | | |
| 【명칭】 | (주)하이닉스 반도체 | | |
| 【출원인코드】 | 1-1998-004569-8 | | |
| 【대리인】 | | | |
| 【성명】 | 신영무 | | |
| 【대리인코드】 | 9-1998-000265-6 | | |
| 【포괄위임등록번호】 | 1999-003525-1 | | |
| 【발명자】 | | | |
| 【성명의 국문표기】 | 김점수 | | |
| 【성명의 영문표기】 | KIM, Jum Soo | | |
| 【주민등록번호】 | 720111-1224814 | | |
| 【우편번호】 | 467-860 | | |
| 【주소】 | 경기도 이천시 부발읍 아미리 148-1 현대아파트 105-104 | | |
| 【국적】 | KR | | |
| 【발명자】 | | | |
| 【성명의 국문표기】 | 안정렬 | | |
| 【성명의 영문표기】 | AHN, Jung Ryul | | |
| 【주민등록번호】 | 721104-1222610 | | |
| 【우편번호】 | 472-100 | | |
| 【주소】 | 경기도 남양주시 도농동 47-25 아림주택 201호 | | |
| 【국적】 | KR | | |
| 【취지】 | 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 무 (인) 신영 | | |
| 【수수료】 | | | |
| 【기본출원료】 | 20 | 면 | 29,000 원 |
| 【가산출원료】 | 0 | 면 | 0 원 |

| | | | | |
|----------|-------------------|---|---|---|
| 【우선권주장료】 | 0 | 건 | 0 | 원 |
| 【심사청구료】 | 0 | 항 | 0 | 원 |
| 【합계】 | 29,000 | | 원 | |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 | | | |

【요약서】**【요약】**

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 기존의 마스크와 식각공정을 통해 형성하던 게이트전극을 필드산화막 상부에 산화막 돌출부를 형성하고 산화막 돌출부 사이에 게이트전극을 형성함으로써 소자의 임계치수를 최소화 하고, 소자의 크기조절이 용이하고, 웨이퍼 전반에 걸쳐 균일한 게이트전극을 형성할 수 있는 반도체 소자의 제조 방법을 제공한다.

【대표도】

도 1g

【색인어】

플로팅 게이트, 산화막 돌출부, 필드산화막

【명세서】**【발명의 명칭】**

반도체 소자의 제조방법{Method of manufacturing a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1g는 본 발명에 따른 반도체 소자의 제조 방법에 관해 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 반도체 기판 12 : 터널 산화막

14, 24, 30 : 폴리 실리콘막 16 : 패드 질화막

18 : 트렌치 20 : 산화막

22 : 산화막 돌출부 26 : 플로팅 게이트전극

28 : 유전체막 32 : 텅스텐 실리사이드막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히, 자기정렬방법으로 플로팅 게이트를 형성하는 플래시 소자의 플로팅 게이트 형성 방법에 관한 것이다.

- <9> 최근 디자인 룰(Design Rule)이 줄어들고 소자의 사이즈(Size)가 줄어들면서 ETOX(EEPROM Tunnel Oxide) 셀에서 플로팅 게이트간의 간격 및 커플링에 가장 큰 영향을 미치는 필드 산화막(Field Oxide; FOX) 중첩(Overlap)의 조절에 어려움을 겪고 있다.
- 일반적으로 STI 공정을 이용하여 플래시 메모리 셀을 구현하고 있는데, 플로팅 게이트의 아이솔레이션(Isolation) 진행시에 마스크를 이용한 패터닝 공정의 작업은 마스크 임계치수(Critical Dimension; CD) 변화에 따른 웨이퍼의 균일화가 용이하지 않아 소자간의 커플링 비가 균일하지 않는 문제점이 발생한다. 또한 플래시 메모리 소자의 프로그램 및 소거시 높은 바이어스 전압을 인가하게 되면 균일하지 않은 플로팅 게이트에 의해 플래시 메모리 소자의 결함이 발생하게 된다. 아이솔레이션 마스크와 폴리 마스크 사이에 정렬오차 및 마스크 공정의 증가로 인해 수율 저하와 원가 상승의 원인이 되고 있다.

【발명이 이루고자 하는 기술적 과제】

- <10> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 플로팅 게이트를 형성하기 위한 터널 산화막 및 제 1 폴리 실리콘막을 증착한 상태에서 패터닝 공정을 실시하여 STI 구조의 소자 분리막을 형성하고, 제 1 폴리 실리콘막 상부에 제 2 폴리 실리콘막을 증착하여 플로팅 게이트를 형성함으로써 마스크 공정을 사용하지 않고 플로팅 게이트를 형성할 수 있고, 작은 사이즈의 플로팅 게이트를 형성할 수 있는 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<11> 본 발명에 따른 반도체 기판 상에 터널 산화막, 제 1 폴리 실리콘막 및 패드 질화막을 순차적으로 형성하는 단계와, 패터닝 공정을 통해 상기 패드 질화막, 상기 제 1 폴리 실리콘막, 상기 터널 산화막 및 상기 반도체 기판의 일부를 식각하여 상기 반도체 기판 내에 트렌치를 형성하는 단계와, 상기 트렌치를 포함한 전체구조 상부에 산화막을 증착한 후, 상기 패드 질화막이 노출되도록 상기 산화막을 평탄화하는 단계와, 상기 패드 질화막을 식각하여 산화막 돌출부를 형성하는 단계와, 전체구조 상부에 제 2 폴리 실리콘막을 증착한 후, 상기 산화막 돌출부가 노출되도록 상기 제 2 폴리 실리콘막을 평탄화하는 단계 및 상기 노출된 산화막 돌출부의 일부를 식각하여 플로팅 게이트를 형성한 후, 유전체막 및 콘트롤 게이트를 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 제조 방법을 제공한다.

<12> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<13> 도 1a 내지 도 1g는 본 발명에 따른 반도체 소자의 제조 방법에 관해 설명하기 위한 단면도들이다.

- <14> 도 1a를 참조하면, 반도체 기판(10) 상에 기판 표면의 결정결함 억제 또는 표면처리 및 이온주입시 버퍼층 역할을 하는 스크린 산화막(미도시)을 증착한 다음 이온주입을 실시하여 웰을 형성한다. 상기 스크린 산화막을 제거한 다음 터널 산화막(12), 제 1 폴리 실리콘막(14) 및 패드 질화막(16)을 증착한다.
- <15> 구체적으로, 상기 스크린 산화막 형성전 반도체 기판(10)의 세정을 위해 H_2O 와 HF의 혼합비율이 50:1인 DHF(Dilute HF)와 NH_4OH , H_2O_2 및 H_2O 로 구성된 SC-1(Standard Cleaning - 1)을 이용하거나, NH_4F 와 HF의 혼합비율이 100:1 내지 300:1인 BOE(Buffered Oxide Etch)와 NH_4OH , H_2O_2 및 H_2O 로 구성된 SC-1을 이용하여 전체 세정공정을 실시한다. 750 내지 800℃의 온도범위 내에서 건식 또는 습식 산화를 실시하여 30 내지 100 Å 두께의 상기 스크린 산화막을 형성한다.
- <16> 이온 주입 후, H_2O 와 HF의 혼합비율이 50:1인 DHF와, NH_4OH , H_2O_2 및 H_2O 로 구성된 SC-1을 이용하여 상기 스크린 산화막을 식각한다. 터널 산화막(12)을 750 내지 800℃의 온도에서 습식 산화방식으로 85 내지 110 Å의 두께로 형성하고, 터널 산화막(12) 증착 후 900 내지 910℃의 온도에서 N_2 를 이용하여 20 내지 30분간 열처리 공정을 실시함으로써 터널 산화막(12)과 반도체 기판(10)간의 계면의 결함 밀도를 최소화한다.
- <17> 터널 산화막(12) 상부에 530 내지 680℃의 온도와 0.1 내지 3.0torr의 압력 하에서 화학 기상 증착법(Chemical Vapor Deposition; CVD), 저압 화학 기상 증착법(Low Pressure CVD; LPCVD), 플라즈마 인핸스드 화학 기상 증착법(Plasma Enhanced CVD; PECVD) 또는 대기압 화학 기상 증착법(Atmospheric Pressure CVD; APCVD) 방식으로 SiH_4 또는 Si_2H_6 와 PH_3 가스를 이용하여 200 내지 1000 Å의 두께의 제 1 폴리 실리콘막(14)

을 증착한다. 이로써 제 1 폴리 실리콘막(14)의 입도가 최소화 되어 전계 집중을 방지할 수 있다. 제 1 폴리 실리콘막(14) 상에 LP-CVD 방법으로 약 1300 내지 3000Å 정도의 높은 두께로 패드 질화막(16)을 형성한다.

<18> 도 1b를 참조하면, 패드 질화막(16), 제 1 폴리 실리콘막(14), 터널 산화막(12) 및 반도체 기판(10)을 ISO(Isolation) 마스크 패터닝(ISO mask patterning)을 통해 순차적으로 식각하여 STI(Shallow Trench Isolation)구조의 트렌치(trench; 18)를 형성하여 활성 영역과 필드 영역을 정의한다. STI 구조의 트렌치(18) 측벽의 식각 데미지(Damage)를 보상하기 위한 건식산화공정을 실시하고, 급속 열처리 공정(Rapid Thermal Process)을 진행하여 트렌치(18)의 코너부분을 라운딩한다. 전체 구조 상부에 고온 산화막(High Temperature Oxide; HTO)을 얇게 증착하고 고온에서 치밀화 공정을 수행하여 라이너 산화(liner oxide)막(미도시)을 형성한다.

<19> 구체적으로, 전체 구조 상부에 감광막을 도포한 다음 감광막 마스크를 이용한 포토 리소그래피 공정을 실시하여 감광막 패턴(미도시)을 형성한다. 상기 감광막 패턴을 식각 마스크로 하는 식각공정을 실시하여 패드 질화막(16), 제 1 폴리 실리콘막(14), 터널 산화막(12) 및 반도체 기판(10)을 식각하여 STI 구조의 트렌치(18)를 형성한다. 상기 식각공정에 의한 트렌치(18) 측벽의 데미지를 보상하기 위해 800 내지 1000℃의 온도 범위 내에서 건식 산화공정을 실시하여 측벽 산화막을 50 내지 150Å 두께로 형성한다.

<20> 수소(Hydrogen)를 이용한 급속 열처리 공정을 진행(즉, 반도체 기판의 원자 이동성질을 이용)하여 트렌치 코너 부분과 각진 부분을 라운딩 함으로써 전기장 집중을 억제하여 소자 동작 특성을 향상시킨다. 급속 열처리 공정은 빠른 열 공정(Fast Thermal

Process; FTP)형 장비에서 600 내지 1050℃의 온도범위와 300 내지 380torr의 압력하에 서 100 내지 2000sccm의 수소 가스를 유입하여 5 내지 15분 동안 실시한다.

<21> 후속 공정의 산화막과 트렌치(18) 간의 접착특성을 향상시키고, 모우트(Moat) 발생 을 방지하기 위하여 DCS(Dichloro Silane; SiH_2Cl_2)가스를 이용하여 형성된 HTO로 50 내 지 150Å의 두께만큼 증착한 후, 1000 내지 1100℃의 온도에서 N_2 를 이용하여 20 내지 30분간 고온 치밀화 공정을 수행하여 라이너 산화막(미도시)을 형성한다. 고온 치밀화 공정으로 인해 라이너 산화막의 조직이 치밀해져 식각 저항성을 증가시키고 STI 구현시 모우트 형성을 억제하며 또한 누설 전류 방지에 도움을 준다.

<22> 도 1c를 참조하면, 전체 구조 상부에 고밀도 플라즈마(High Density Plasma; HDP) 산화막(20)을 증착하여 트렌치(18) 내부를 매립한다. 패드 질화막(16)을 정지층으로 하 는 평탄화 공정을 실시한다. 패드 질화막(16)을 식각정지층으로 하여 패드 질화막(16) 상의 HDP 산화막(20) 및 라이너 산화막을 제거하기 위한 평탄화 공정을 수행한다.

<23> 구체적으로, 트렌치(18) 공백을 채우기 위해 5000 내지 10000Å 정도의 두께로 HDP(High Density Plasma) 산화막(20)을 형성한다. 이때 트렌치(18) 내부에 빈 공간이 형성되지 않도록 상기 HDP 산화막(20)을 증착한다.

<24> CMP를 이용한 평탄화 공정을 수행한 후 패드 질화막(16)상에 잔존할 가능성이 있는 산화막을 제거하기 위해 BOE또는 HF를 이용한 포스트 세정 공정을 실시한다. 이때 과도 한 식각이 되어 상기 HDP 산화막(20)의 높이가 감소하는 것을 최대한 억제해야 한다.

<25> 도 1d를 참조하면, 패드 질화막(16)을 인산 딥 아웃(H_3PO_4 dip out)을 이용한 질화 막 스트립(nitride strip) 공정을 수행함으로써, HDP 산화막 돌출부(22)를 형성한다. 패

드 질화막(16) 스트립시 HDP 산화막 돌출부(22)는 제 1 폴리 실리콘막(14)으로부터 700 내지 2500Å 정도의 높이가 되도록 한다. 이때, 제 1 폴리 실리콘막(14)과 필드 산화막 단차는 후속공정에서 형성된 제 2 폴리 실리콘막에서 사용하는 두께 정도에 200 내지 300Å 정도의 작은 두께를 가지도록 남겨준다.

<26> 도 1e를 참조하면, 전처리 세정 공정을 진행한 다음 전체 구조 상부에 제 2 폴리 실리콘막(24)을 증착한다. 평탄화 공정을 실시하여 HDP 산화막 돌출부(22) 상부에 성된 제 2 폴리 실리콘막(24)을 제거함으로써 플로팅 게이트전극(26)을 형성한다.

<27> 구체적으로, DHF 와 SC-1을 이용한 전처리 습식 세정공정을 실시하여 필드 산화막과 폴리 실리콘막간의 오버랩을 형성한다. 이때 습식 세정 시간을 조절하여 셀 지역의 모우트 형상과 제 1 폴리 실리콘막(14) 하부의 터널 산화막(12)이 손실되는 것을 방지한다. 또한, 습식 세정공정을 통하여 제 1 폴리 실리콘막(14)의 두께의 2/3정도(100 내지 700Å)가 개방되도록 습식 세정공정을 제어한다.

<28> 제 1 폴리 실리콘막(14)과 동일한 재질의 제 2 폴리 실리콘막(24)을 800 내지 2500 Å 두께로 증착하여 HDP 산화막 돌출부(22)를 매립한다. PE-CVD 방법을 이용하여 PE-TEOS(Plasma Enhanced Tetra Ethyle Ortho Silicate), PE-Nit, PSG(Phosphorus Silicate Glass) 및 BPSG(Boron Phosphorus Silicate Glass)와 같은 버퍼층(미도시)을 형성성하여 CMP를 이용한 평탄화 공정에서 발생할 수 있는 편차를 방지한다. 상기 버퍼층은 100 내지 1000Å의 두께로 증착한다.

<29> 화학적 기계적 연마를 실시하여 HDP 산화막 돌출부(22) 상의 버퍼층과 제 2 폴리 실리콘막(24)을 제거하여 제 2 폴리 실리콘막(24)을 고립함으로써, 제 1 및 제 2 폴리 실리콘막(14 및 24)으로 이루어진 플로팅 게이트전극(26)을 형성한다. 또한 화학적 기계

전 연마를 실시하여 플로팅 게이트전극(제 1 및 제 2 폴리 실리콘막의 총 두께)은 1000 내지 2500Å 두께로 균일하게 잔류 되도록 한다.

<30> 도 1f를 참조하면, CMP 공정후 전처리 세정 공정으로 HF 또는 BOE를 이용하여 노출된 HDP 산화막 돌출부(22)를 500 내지 2000Å 두께만큼 제거한다. 이는 기존의 마스크킹 방식을 통하여 구현할 때 보다 작은 플로팅 게이트전극(26)의 폭과 표면적을 형성하여 커플링 비를 크게 할 수 있다.

<31> 도 1g를 참조하면, 유전체막(28)을 전체구조의 단차를 따라 형성한 다음 콘트롤 게이트를 형성하기 위한 제 3 폴리 실리콘막(30)과 텅스텐 실리사이드막(WSi; 32)을 순차적으로 증착한다.

<32> 구체적으로, 반도체 소자에서 사용하는 다양한 형태의 유전체막을 증착하되, 본 실시예에서는 ONO(산화막/질화막/산화막($\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$)) 또는 ONON구조의 유전체막(28)을 증착한다. ONO 구조의 유전체막(28)에 있어서, ONO구조에서 산화막은 우수한 내압과 TDDB특성이 좋은 DCS(SiH_2Cl_2)와 N_2O 가스를 이용하여 0.1 내지 3torr의 낮은 압력과 810 내지 850°C 정도의 온도 하에서 약 35 내지 60Å의 두께로 LP-CVD방법으로 증착한다. 또한 ONO구조에서 질화막은 DCS와 NH_3 가스를 이용하여 1 내지 3torr의 낮은 압력과 650 내지 800°C 정도의 온도 하에서 약 50 내지 65Å의 두께로 LP-CVD방법으로 증착한다.

<33> 상기 ONO공정 수행 후 ONO산화막의 질을 향상시키고 각 층간의 인터페이스(interface)를 강화하기 위해 습식 산화방식으로 약 750 내지 800°C 온도에서 모니터링 웨이퍼(monitored wafer)를 기준으로 약 150 내지 300Å의 두께로 산화 되도록 스팀 어닐(steam anneal)을 수행할 수 있다. 나아가 상기 ONO공정과 상기 스팀 어닐을 수행시

각 공정간의 지연시간이 수 시간 이내의 시간 지연이 없는 공정을 진행하여 자연 산화막 또는 불순물에 오염되는 것을 방지하도록 한다.

<34> 제 3 폴리 실리콘막(30)은 텅스텐 실리사이드(32) 증착시 유전체막(28)에 치환 고 용되어 산화막 두께를 증가시킬 수 있는 불산의 확산을 방지하기 위해 도핑처리된 막과 도핑처리되지 않은 막(doped and undoped)의 2중구조로, 약 510 내지 550℃의 온도와 1.0 내지 3torr의 압력 하에서 LP-CVD방식으로 비정질 실리콘 막으로 증착한다. 이때 도핑처리된 막과 도핑처리되지 않은 막의 비율을 1:2 내지 6:1의 비율로 하고, 플로팅 게이트전극(26) 사이의 공간이 충분히 매립이 되도록 약 500 내지 1000Å 두께로 상기 비정질 실리콘 막을 형성함으로써, 후속 텅스텐 실리사이드(24) 증착시 틈 형성을 억제하여 워드라인 저항(R_s)을 감소시킬 수 있다. 상기의 2중구조의 제 3 폴리 실리콘막 층을 형성할 때 SiH_4 또는 Si_2H_6 와 PH_3 가스를 이용하여 도핑처리된 막을 형성하고 이후 PH_3 가스를 차단하고 연속적으로 도핑처리되지 않은 막을 형성하는 것이 바람직하다.

<35> 텅스텐 실리사이드(32)막을 낮은 불소 함유와 낮은 포스트 어닐드 스트레스(post annealed stress) 그리고 좋은 접착 강도를 갖는 $MS(SiH_4)$ 또는 $DCS(SiH_2Cl_2)$ 와 WF_6 의 반응을 이용하여 300 내지 500℃사이의 온도에서 적절한 스텝 커버리지(step coverage)를 구현하고, 워드라인 저항(R_s)을 최소화시킬 수 있는 화학적양론비인 2.0 내지 2.8 정도로 성장시키는 것이 좋다.

<36> 텅스텐 실리사이드막(32)상에 SiO_xN_y 또는 Si_3N_4 를 이용하여 도포되지 않은 ARC층을 증착하고, 게이트 마스크와 에칭(Gate mask and etching)공정과 셀프 얼라인드 마스크

크와 에칭(Self aligned mask and etching) 공정을 수행하여 컨트롤 게이트 전극을 형성한다.

【발명의 효과】

- <37> 상술한 바와 같이, 본 발명은 기존의 마스크와 식각공정을 통해 형성하던 플로팅 게이트를 필드산화막 상부에 산화막 돌출부를 형성하고 산화막 돌출부 사이에 플로팅 게이트를 형성함으로써 소자의 임계치수를 최소화 하고, 소자의 크기조절이 용이하고, 웨이퍼 전반에 걸쳐 균일한 플로팅게이트를 형성할 수 있다.
- <38> 또한, 균일한 플로팅 게이트로 인해 셀간의 커플링 비의 차를 줄임으로써 플래시 메모리 소자의 특성을 향상할 수 있고, 활성 임계치수를 작게 함으로써 커플링 비를 극대화 할 수 있다.
- <39> 또한, 마스크링 공정을 줄임으로서 마스크링 공정에서 발생할 수 있는 문제점을 해결할 수 있고, 공정의 단순화를 가져올 수 있으며, 수율향상과 원가절감을 가져올 수 있다.
- <40> 또한, 산화막 돌출부의 높이 및 간격을 조절함으로써 다양한 공정 마진을 용이하게 확보할 수 있다.

【특허청구범위】**【청구항 1】**

(a)반도체 기판 상에 터널 산화막, 제 1 폴리 실리콘막 및 패드 질화막을 순차적으로 형성하는 단계;

(b) 패터닝 공정을 통해 상기 패드 질화막, 상기 제 1 폴리 실리콘막, 상기 터널 산화막 및 상기 반도체 기판의 일부를 식각하여 상기 반도체 기판 내에 트렌치를 형성하는 단계;

(c)상기 트렌치를 포함한 전체구조 상부에 산화막을 증착한 후, 상기 패드 질화막이 노출되도록 상기 산화막을 평탄화하는 단계;

(d) 상기 패드 질화막을 식각하여 산화막 돌출부를 형성하는 단계;

(e)전체구조 상부에 제 2 폴리 실리콘막을 증착한 후, 상기 산화막 돌출부가 노출되도록 상기 제 2 폴리 실리콘막을 평탄화하는 단계; 및

(f)상기 노출된 산화막 돌출부의 일부를 식각하여 플로팅 게이트를 형성한 후, 유전체막 및 콘트롤 게이트를 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 1 폴리 실리콘막은 530 내지 680℃의 온도와 0.1 내지 3.0torr의 압력 하에서 CVD, LPCVD, PECVD 또는 APCVD 방식으로 SiH_4 또는 Si_2H_6 와 PH_3 가스를 이용하여 200 내지 1000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 터널 산화막은 750 내지 800℃의 온도에서 습식산화로 85 내지 110Å의 두께로 증착하고 900 내지 910℃의 온도 범위에서 N_2 를 이용하여 20 내지 30분간 어닐을 수행하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제 1 항에 있어서, 상기 (a)단계 전에,

이온주입공정을 실시하여 상기 반도체 기판내에 웰을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제 1 항에 있어서, 상기 (b)단계와 상기 (c)단계 사이에,

상기 트렌치 형성시 발생한 상기 반도체 기판의 데미지를 보상하기 위한 측벽 산화 공정을 실시하는 단계;

상기 트렌치의 코너 부분을 라운딩 하기 위한 급속 열처리 공정을 실시하는 단계;
및

전체 구조 상부에 그 단차를 따라 고온 산화막을 증착한 후, 고온에서 치밀화 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제 1 항에 있어서, 상기 (d)단계와 상기 (e)단계 사이에,

상기 터널 산화막이 손실 되지 않도록 습식세정 공정을 실시하여 상기 제 1 폴리 실리콘막을 100 내지 700Å 정도 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제 1 항에 있어서, 상기 (e)단계는,

전체 구조 상부에 상기 제 2 폴리 실리콘막을 증착하는 단계;

상기 제 2 폴리 실리콘막 상부에 상기 제 2 폴리 실리콘막의 상부 표면 단차를 줄이기 위한 버퍼층을 증착하는 단계; 및

상기 산화막 돌출부를 정지층으로 하는 CMP 공정을 실시하여 상기 버퍼층과 상기 제 2 폴리 실리콘막을 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제 7 항에 있어서,

상기 버퍼층은 PE-CVD방법으로 형성된 PE-TEOS층, PE-Nit층, PSG층 및 BPSG층 중 적어도 어느 하나인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

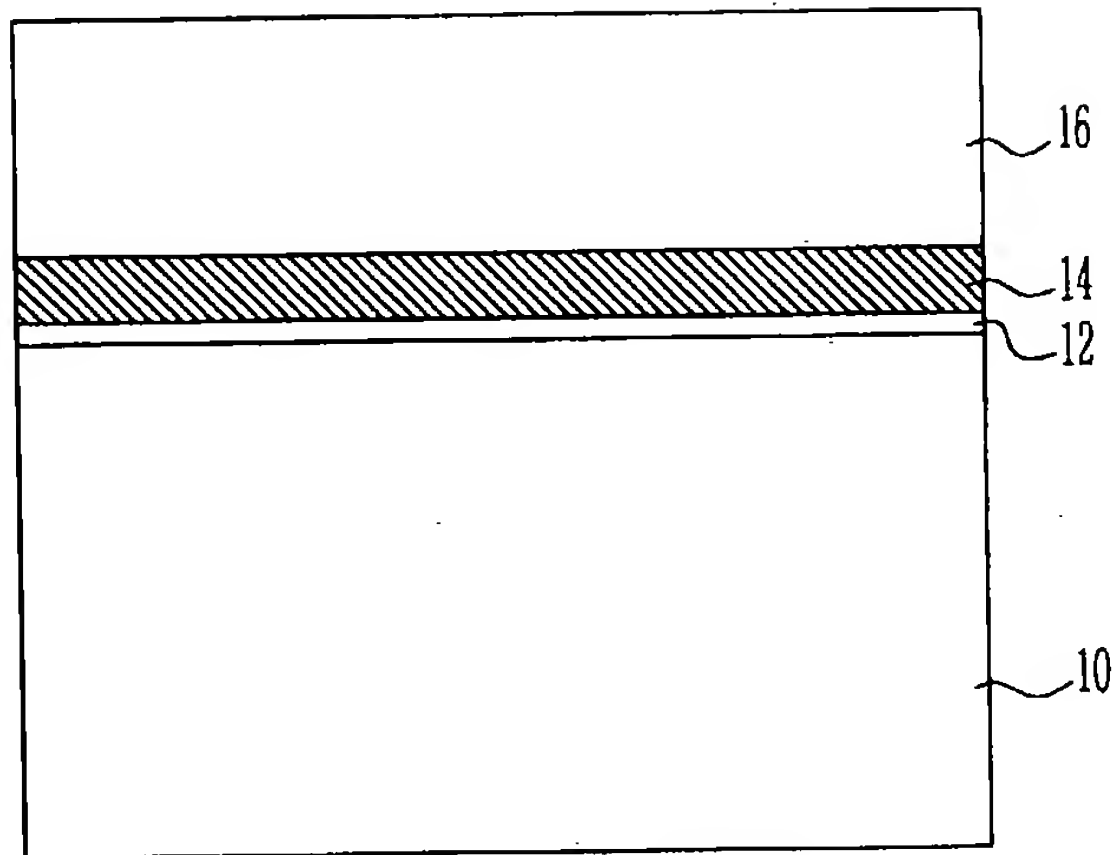
제 1 항 또는 제 7 항에 있어서,

상기 제 2 폴리 실리콘막은 530 내지 680℃의 온도와 0.1 내지 3.0torr의 압력 하에서 CVD, LPCVD, PECVD 또는 APCVD 방식으로 SiH_4 또는 Si_2H_6 와 PH_3 가스를 이용하여 800 내지 2500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

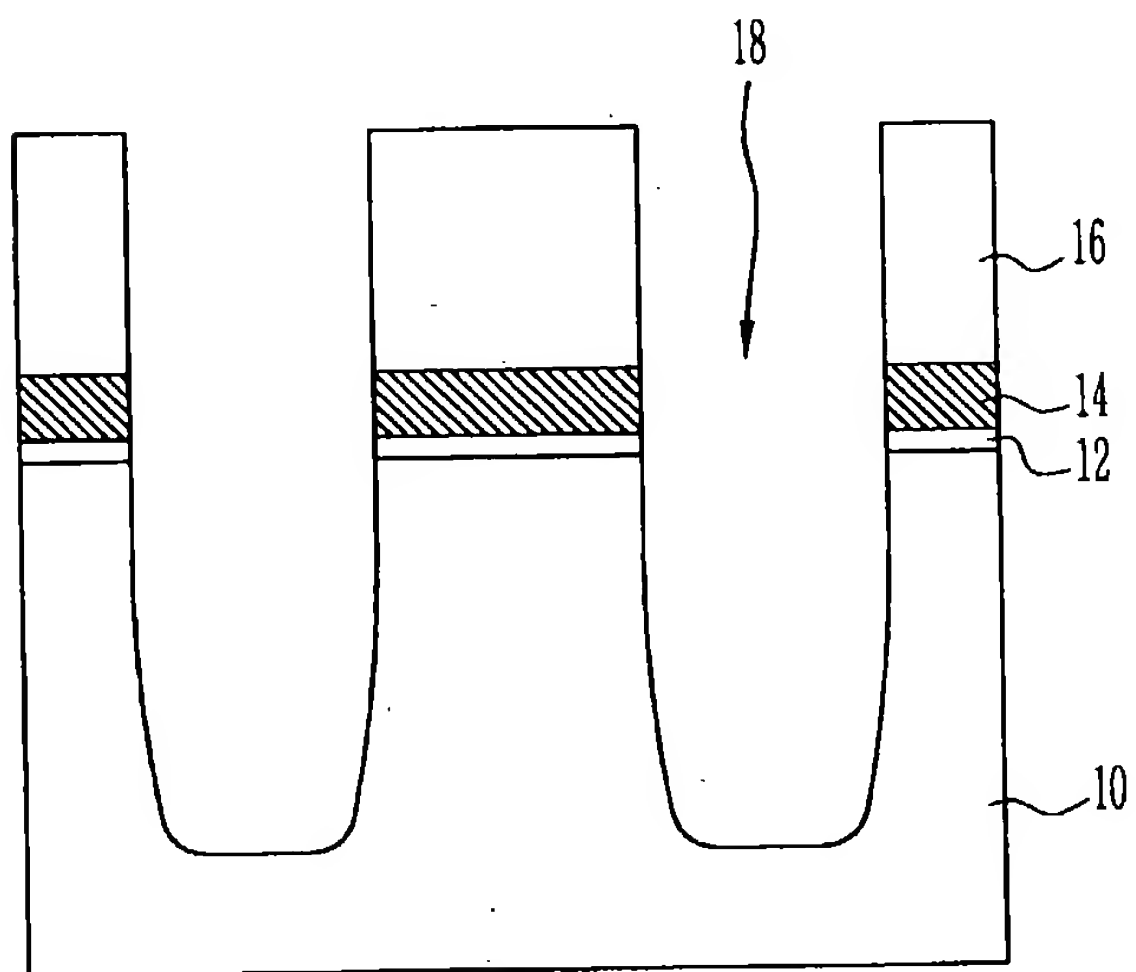


【도면】

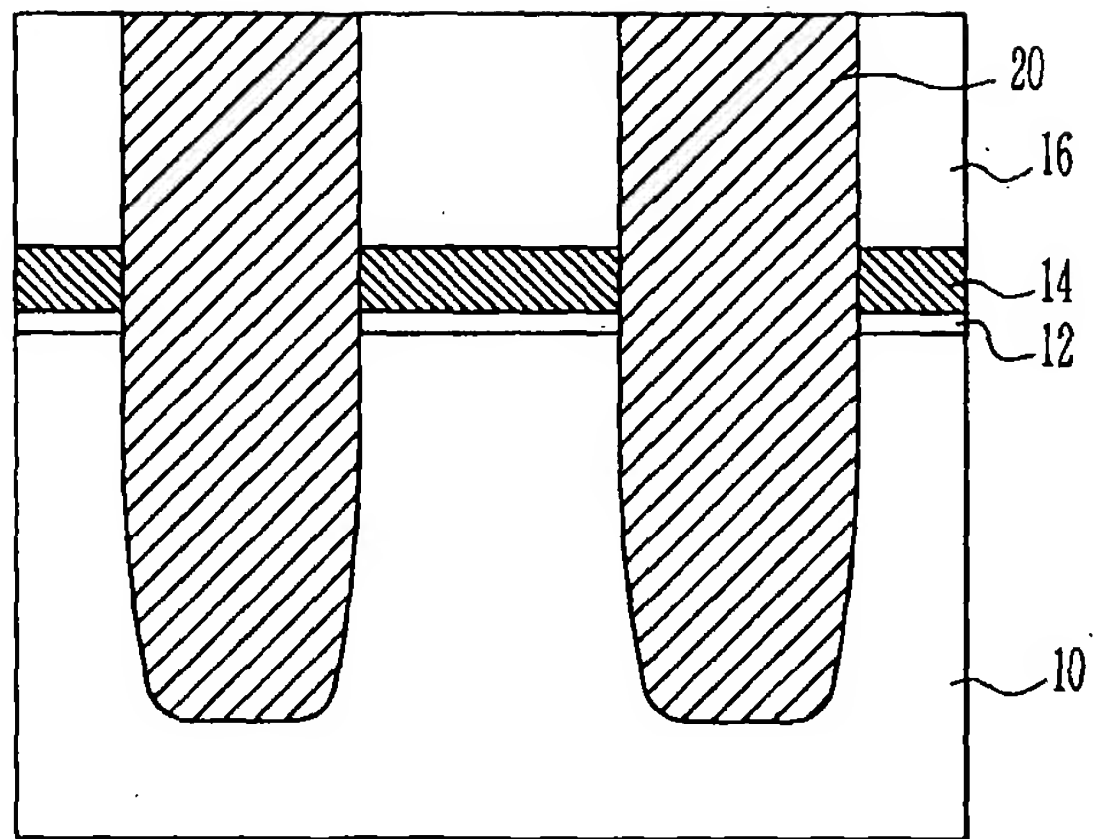
【도 1a】



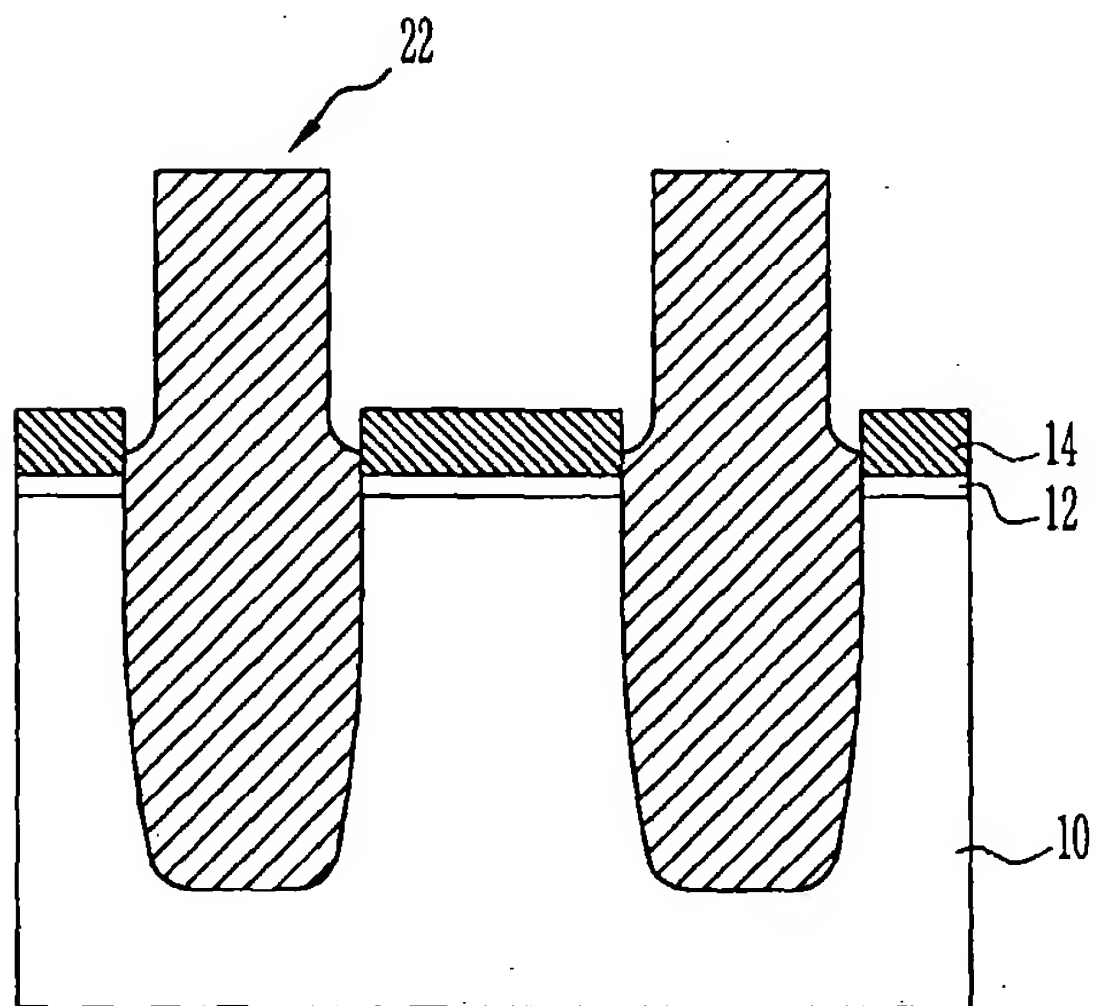
【도 1b】



【도 1c】



【도 1d】



[illegible]

A cross-sectional view of a semiconductor device. A substrate 10 is shown with a trench 12. A layer 14 is formed on the trench walls and bottom. A layer 24 is formed on top of layer 14. A layer 22 is formed on top of layer 24. A layer 26 is formed on top of layer 22. The layers 24, 14, and 12 are collectively labeled as 26.

【도 1g】

